

PCT
 WELTORGANISATION FÜR GEISTIGES EIGENTUM
 Internationales Büro
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



(51) Internationale Patentklassifikation ⁷ : <p style="text-align: center;">G11C 11/16</p>	A2	(11) Internationale Veröffentlichungsnummer: WO 00/19440 (43) Internationales Veröffentlichungsdatum: 6. April 2000 (06.04.00)
(21) Internationales Aktenzeichen: PCT/DE99/02983 (22) Internationales Anmeldedatum: 17. September 1999 (17.09.99) (30) Prioritätsdaten: 198 45 068.0 30. September 1998 (30.09.98) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): WEBER, Werner [DE/DE]; Franz-Marc-Strasse 6/3, D-80637 München (DE). THEWES, Roland [DE/DE]; Jägerheimstrasse 7, D-82194 Gröbenzell (DE). (74) Gemeinsamer Vertreter: SIEMENS AKTIENGE- SELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).		(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Veröffentlicht <i>Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i>

(54) Title: MAGNETORESISTIVE MEMORY WITH LOW CURRENT DENSITY

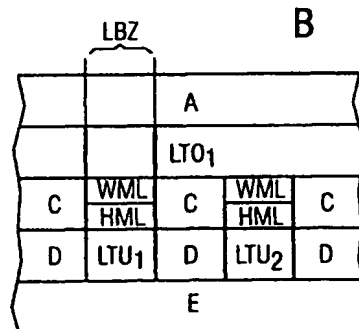
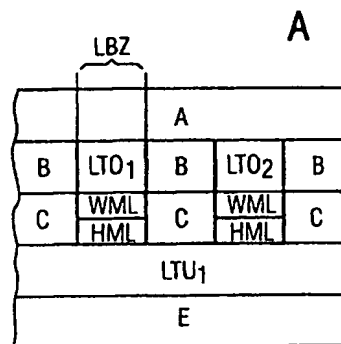
(54) Bezeichnung: MAGNETORESISTIVER SPEICHER MIT NIEDRIGER STROMDICHTTE

(57) Abstract

The invention relates to a magnetoresistive memory whose current density is reduced into bit and/or word lines thus avoiding electromigration problems. The current density is reduced such that a compact field concentration is attained, for example, by the use of ferrite in the area around the actual storage cells.

(57) Zusammenfassung

Der Anmeldegegenstand betrifft einen magnetoresistiven Speicher, dessen Stromdichte in den Bit- und/oder Wortleitungen dadurch reduziert und somit Elektromigrationsprobleme vermieden werden, daß eine platzsparende Feldkonzentration beispielsweise durch Ferrit im Bereich um die eigentlichen Speicherzellen erreicht wird.



특2001-0100862

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ G11C 11/15		(11) 공개번호 (43) 공개일자	특2001-0100862 2001년11월14일
(21) 출원번호	10-2001-7004100	(87) 국제공개번호	WO 2000/19440
(22) 출원일자	2001년03월30일	(87) 국제공개일자	2000년04월06일
(86) 국제출원번호	PCT/DE1999/02983		
(86) 국제출원출원일자	1999년09월17일		
(81) 지정국	국내특허 : 일본 대한민국 미국 EP 유럽특허 : 오스트리아 벨기에 스 위스 독일 덴마크 스페인 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 핀란드 사이프러스		
(30) 우선권주장	19845068.0 1998년09월30일 독일(DE)		
(71) 출원인	인피니언 테크놀로지스 마게	추후제출	
(72) 발명자	독일 뮌헨 장크트 마틴 슈트라세 53 (우:81669) 베버,베르너 독일데-80637뮌헨프란츠-마르크-슈트라세6/3 테브스,물란트 독일데-82194그뢰벤헬메거하임슈트라세7 남상선		
(74) 대리인	남상선		

심사청구 : 있음

(54) 전류 밀도가 낮은 자기 저항 메모리

요약

본 발명은 전류 밀도가 낮은 자기 저항 메모리에 관한 것이다. 상기 메모리의 비트 라인 및/또는 워드 라인 내부로 유입되는 전류의 밀도는 실제 메모리 셀의 영역에서 예컨대 페라이트의 사용에 의해 조절된 전계 집중이 달성됨으로써 감소된다. 따라서, 엘렉트로마이그레이션 문제가 피해될 수 있다.

도표도

도1

발명서

기술분야

본 발명은 메모리 셀의 자기에 의해 변동가능한 저항에 따른 메모리 효과를 갖는 자기 저항 기록/판독 메모리(MRAM)에 관한 것이다.

배경기술

자기 저항 메모리는 예컨대 워드 라인과 비트 라인 사이에 자기 저항 층 시스템을 가지며, 상기 층 시스템은 얇은 터널 산화물에 의해 분리된, 예컨대 연자성층 및 경자성층으로 이루어진다. 비트 라인과 워드 라인 간의 저항은 재료 내의 자화 방향이 평행한지 또는 역평행한지에 따라 좌우되며, 평행한 자화 방향은 낮은 저항값을, 역평행한 자화 방향은 높은 저항값을 야기한다. 다수의 관점에서 볼 때, 특히 셀의 기록을 위해 필요한 비교적 높은 전류 또는 피크 부하는 워드 또는 비트 라인 내에 있다는 것은 단점을 제공한다. 왜냐하면, 이에 따른 전류 밀도가 엘렉트로마이그레이션 문제 및 비교적 높은 전력 손실을 야기하기 때문이다. 또한 비교적 높은 전류에 의해 주변 회로에 대한 요구들이 증가된다. 비트 및 워드 라인을 위한 재료는 예컨대 프로세스에 적합하고, 적합한 구조를 가지며, 적은 비저항을 가져야만 하기 때문에, 엘렉트로마이그레이션 문제는 전력 재료의 적합한 선택에 의해 매우 제한적으로 방지될 수 있다. 얇은 자성층의 사용에 의해 요구된 전류가 감소됨으로써 기술적 한계에 봉착하고 층 두께의 감소에 의해 안전성 문제는 더욱 증가된다. 더욱이, 현재의 시각으로 볼 때 머지않은 미래의 최적화된 재료 선택이 전류의 감소를 위해 현저한 공헌을 할 것이라고 추측되지는 않는다.

미국 특허 공보 제 US 4 455 626호에는 MRAM이 공지되어 있으며, 상기 MRAM의 자기 저항층은 두꺼운 전계 집중 층의 겹 내에 배치된다. 여기서, 메모리 층 및 전계 집중 층은 자기 저항층을 위한 자성 경로를 제시한다.

발명의 상세한 설명

본 발명의 목적은 가능한한 적은 칩 표면에서 비트 또는 워드 라인에 있는 전류 밀도가 가능한한 낮도록 구성된, 자기 저항 기록/판독 메모리를 제공하는데 있다.

상기 목적은 청구항 1항, 9항, 10항 또는 11항에 의해 달성된다. 부가의 청구항은 본 발명의 바람직한 실시예에 관한 것이다.

본 발명의 하기의 실시예에 의해 더 자세히 설명된다.

도면의 간단한 설명

도 1A 및 1B는 자기 저항 메모리 셀의 제 1 실시예의 서로 직각을 이루는 2개의 단면도,

도 2A 및 2B는 본 발명에 따른 자기 저항 메모리 셀의 제 2 실시예의 서로 직각을 이루는 2개의 단면도.

실시예

본 발명의 본질은 비트 라인 및/또는 워드 라인에 의해 생성된 자계를 자기 저항 메모리 셀 내로 결합시킴으로써 상기 라인을 내에 더 적은 전류 밀도가 요구될 수 있다는데 있다. 따라서, 본 발명에 의해 특히 공간 절약적이고 효과적인 방법이 가능해진다.

도 1A는 2개의 자기 저항 셀의 영역에서의 단면을 도시한다. 상기 방식의 자기 저항 메모리 셀은 예컨대 터널 산화물에 의해 경자성층으로부터 분리된 연자성층으로 이루어지며, 양 층 간의 터널 가능성 및 전기 저항은 양 층의 자화 방향에 따라 좌우된다. 상기 자기 저항 메모리 셀은 각각 연자성층(WML) 및 경자성층(HML)에 의해 표시되고 비트 라인과 워드 라인 간의 교차점에 존재한다. 상기 층(WML 및 HML)을 갖는 셀 사이에 가로 방향으로, 비투자율이 높은 전기 절연 재료로 이루어진 영역(C)이 존재한다. 또한 적어도 2개의 라인(LT01, LT02) 사이에 가로 방향으로 예컨대 비트 라인, 즉 마찬가지로 비투자율이 높은 전기 절연 재료로 이루어진 영역(B)이 존재한다. 도 1A의 단면에 대해 직각을 이루는 도 1B의 단면은 비투자율이 높은 전기 절연 재료로 이루어진 적어도 2개의 라인(LTU1, LTU2), 예컨대 워드 라인 사이에 가로 방향으로 존재하는 영역(D)을 도시한다. 또한 도 1A 및 1B에는 비투자율이 높은 전기 절연 재료로 이루어지고 비트 라인(LT01, LT02)에 직접 맞닿은 관통층(A)이 존재하며, 비투자율이 높은 전기 절연 재료로 이루어지고 워드 라인(LTU1, LTU2)에 직접 맞닿은 부가의 관통층(E)이 존재한다. 이러한 방식으로 매우 공간 절약적인 방식으로 개별 메모리 셀의 절연 및 필요한 전류 밀도를 낮추기 위한 전계 집중이 동시에 야기된다.

상기 층(A, E) 및 영역(B, C, D)은 비투자율이 높은 상이한 또는 동일한 전기 절연 재료로 이루어질 수 있다. 상기 층(A, E) 및 영역(B, C, D)을 위한 재료로는 예컨대 페라이트가 적합하다.

부가의 실시예가 도 2A 및 2B의 서로 직각을 이루는 2개의 단면에 도시되며, 높은 투자율을 갖는 전기 전도 재료 또는 약 절연 재료로 이루어진 2개의 층(F, H) 사이에는 2개의 자기 저항 메모리 셀이 도시된다. 그러나, 상기 층(F, H)이 비트 라인 및 워드 라인에 접촉되는 것이 아니라, 비교적 적은 투자 상수를 갖는 전기 절연 재료에 의해 분리된다는 점에서 제 1 실시예와 큰 차이를 갖는다. 이에 따라, 예컨대 비투자율이 높은 전기 전도 재료 또는 약 절연 재료가 사용될 수 있다. 왜냐하면, 전기 절연 재료에 의해 비트 및 워드 라인, 그리고 메모리 셀 자체가 단락되거나 분리되는 일은 없기 때문이다.

상기 층(F, H)은 비투자율이 높은 상이한 또는 동일한 전기 전도 재료, 및 비전도 재료로 이루어질 수 있다. 비투자율이 높은 전기 전도층은 통상적으로 철, 니켈 및/또는 코발트로 이루어진 합금이다. 상기 층(B)은 층(F, H)과 워드 및 비트 라인을 포함하는 메모리 셀 사이의 전체 공간을 채울 수 있다. 상기 층(B)의 재료는 비투자율이 낮은 전기 절연체이고 예컨대 실리콘 이산화물 또는 실리콘 질화물로 이루어진다.

부가의 실시예에서 영역(B 및/또는 C 및/또는 D)은 비투자율이 높은 전기 절연 재료, 예컨대 페라이트로 이루어질 수 있다.

(57) 청구의 범위

청구항 1. 비트 및 워드 라인(LT01, LT02; LTU1, LTU2)을 포함하는 메모리 셀(WML, HML)이 상기 메모리 셀의 가로 영역(LB2)에서 비투자율이 높은 재료로 이루어진 2개의 층(A, E; F, H) 사이에 배치되도록 구성된 자기 저항 메모리.

청구항 2. 제 1항에 있어서,

상기 2개의 층(A, E)이 전기 절연되고, 상기 2개의 층 중 하나는 워드 라인에 접촉되고 다른 층은 비트 라인에 접촉되도록 구성된 자기 저항 메모리.

청구항 3. 제 2항에 있어서,

상기 비트 라인 사이에 가로 방향으로 비투자율이 큰 전기 절연 재료로 이루어진 영역(B)이 추가로 존재하도록 구성된 자기 저항 메모리.

청구항 4. 제 2항 또는 3항에 있어서,

상기 메모리 셀 사이에 가로 방향으로 비투자율이 큰 전기 절연 재료로 이루어진 영역(C)이 추가로 존재하도록 구성된 자기 저항 메모리.

청구항 5. 제 2항 내지 4항 중 어느 한 항에 있어서,

상기 워드 라인(LTU1, LTU2) 사이에 가로 방향으로 비투자율이 큰 전기 절연 재료로 이루어진 영역(D)이 추가로 존재하도록 구성된 자기 저항 메모리.

청구항 6. 제 1항 내지 5항 중 어느 한 항에 있어서,

상기 2개의 층(A, E, F, H) 중에서 적어도 하나의 층 및/또는 상기 영역(B, C, D) 중에서 적어도 하나의 영역이 페라이트로 이루어지도록 구성된 자기 저항 메모리.

청구항 7. 제 1항에 있어서,

비트 및 워드 라인을 포함하는 상기 메모리 셀과 2개의 층(F, H) 중 적어도 한 층의 영역 사이에 비투자율이 적은 전기 절연 재료로 이루어진 층(B)이 존재하도록 구성된 자기 저항 메모리.

청구항 8. 제 1항에 있어서,

상기 2개의 층(F, H)과 비트 및 워드 라인을 포함하는 메모리 셀 사이의 공간이 비투자율이 적은 전기 절연 재료(B)로 채워지도록 구성된 자기 저항 메모리.

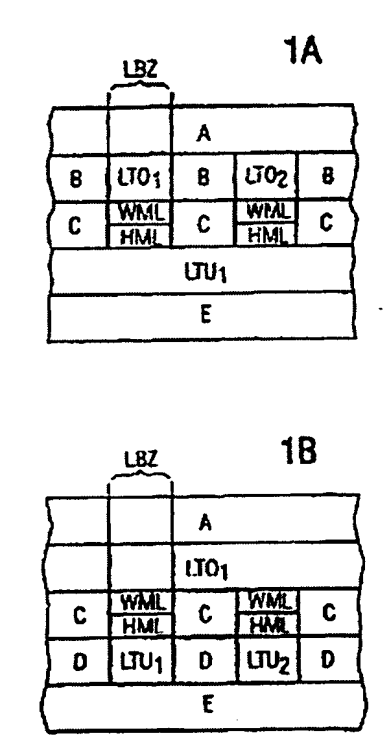
청구항 9. 비트 라인 사이에 가로 방향으로 비투자율이 큰 전기 절연 재료로 이루어진 영역(B)이 존재하도록 구성된 자기 저항 메모리.

청구항 10. 메모리 셀 사이에 가로 방향으로 비투자율이 큰 전기 절연 재료로 이루어진 영역(C)이 존재하도록 구성된 자기 저항 메모리.

청구항 11. 워드 라인(LTU1, LTU2) 사이에 가로 방향으로 비투자율이 큰 전기 절연 재료로 이루어진 영역(D)이 존재하도록 구성된 자기 저항 메모리.

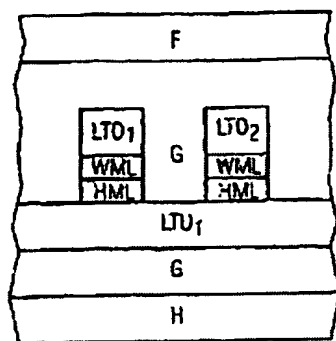
도면

도면



5B2

2A



2B

